

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-254827
(43)Date of publication of application : 21.10.1988

(51)Int.Cl. H03M 7/00

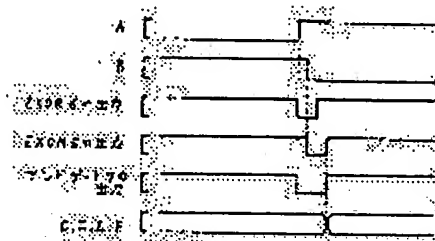
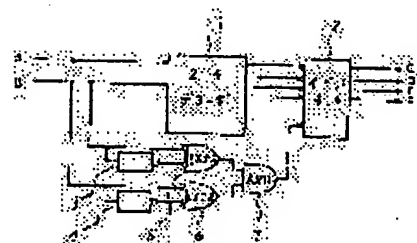
(21)Application number : 62-088046 (71)Applicant : NEC IC MICROCOMPUT SYST LTD
(22)Date of filing : 10.04.1987 (72)Inventor : TANAKA HIROYUKI

(54) DECODING CIRCUIT

(57)Abstract:

PURPOSE: To prevent an output spike noise by providing a delay circuit forming the delay and inverted output of an input signal, an EXOR circuit receiving its output and the input signal and an AND gate receiving the output so as to use the gate output to latch the decoder output.

CONSTITUTION: The output of a 2-4 decoder 1 is used as the input of a 4-bit latch 2 and inputs A, B of the decoder 1 are given to delay circuits 3, 4, EXOR 5, 6 and an AND gate 7 to control the gate of the latch 2. The latch 2 is in through-state before the input change. When the signal A changes, the output of the EXOR 6 and the AND gate 7 goes to 0 and the output of the delay circuit 4 goes to 0, then the latch is held. When the signal B changes, the output of the EXOR 5 goes to 0 and the output holding state after the end of change is released, then the latch is at through-state, a clear value is outputted and no spike noise is outputted. The output holding time is adjusted by the delay circuits 3, 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-254827

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和63年(1988)10月21日

H 03 M 7/00

6832-5J

審査請求 未請求 発明の数 1 (全3頁)

⑰ 発明の名称 デコード回路

⑱ 特 願 昭62-88046

⑲ 出 願 昭62(1987)4月10日

⑳ 発 明 者 田 中 博 之 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

㉑ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉒ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

デコード回路

特 許 請 求 の 範 囲

デコードのそれぞれの入力信号に対して遅延及び反転して出力を作る遅延回路と、

デコードの入力信号と対応する前記遅延回路の出力信号とを入力信号とする排他的論理和回路と、

該各排他的論理和回路の出力信号を入力信号とするアンドゲートと、

該アンドゲートの出力をゲート入力とし、前記デコードの出力信号をデータ入力とするラッチとを設けたことを特徴とするデコード回路。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は、デコード回路、特にデジタル信号の

デコード回路に関する。

(従来の技術)

一般に、デコード回路の出力は、フリップフロップのクロック信号やラッチゲート信号として用いられることが多く、スパイクノイズのないクリーンな信号が要求される。

従来のデコード回路の一例を第3図、その動作を説明するタイミング図を第4図および第5図に示す。

第3図は、ナンド4個と、インバータ2個により構成されるデコードを示しており、第4図のように、入力信号GとHの組合せにより、出力信号I、J、KまたはLの内の1本が選択され、“0”の信号が出力される。

(発明が解決しようとする問題点)

上述した従来のデコード回路は、第5図に示すタイミング図のように、入力データの2本以上が同時に変化をおこす場合に、その変化時間のずれにより、本来、変化を期待していない出力しに、スパイクノイズが発生してしまい、デコード回路

後段の回路に誤動作をおこす可能性がでてくる。
また、入力変化時には出力をイネーブル状態として、スパイクノイズを防止する回路があるが、入力データが変化する度に、別の制御信号を用いて制御を行わなくてはならないという欠点がある。

本発明の目的は、入力データの2本以上が同時に変化をおこしても、別の制御信号を用いることなく出力スパイクノイズを防止するデコード回路を提供することにある。

〔問題点を解決するための手段〕

本発明のデコード回路は、デコードのそれぞれの入力信号に対して遅延及び反転して出力を作る遅延回路と、

デコードの入力信号と対応する遅延回路の出力信号とを入力信号とする排他的論理和回路と、各排他的論理和回路の出力信号を入力信号とするアンドゲートと、

アンドゲートの出力をゲート入力とし、デコードの出力信号をデータ入力とするラッチ

でラッチは保持状態となる。つまり、デコード回路は遅延回路の遅延時間分だけ出力保持状態となる。

また、信号Bが変化した時点でEXOR5の出力が“0”になる。そして、信号Bの変化が終了した後に出力保持状態が解除されれば、ラッチはスルー状態となり変化後の明確な値が出力され、スパイクノイズは出力されない。

また、出力保持状態の時間については、遅延回路3と4により調整できるわけであり、入力タイミングのずれの大きさに合せて、調整すればよい。

〔発明の効果〕

以上説明したように本発明は、入力データの2本が以上同時に変化を起しても、別の制御信号を用いることなく、出力スパイクノイズを防止する効果がある。

図面の簡単な説明

第1図は本発明の一実施例をブロック構成図、

とを設けたことを特徴とする。

〔実施例〕

次に本発明について、図面を参照して説明する。

第1図及び第2図は、本発明の一実施例のデコード回路のブロック構成図及びその動作を説明するタイミング図であり、1の2-4デコードの出力をビットラッチ2のデータ入とし、また、2-4デコード1の入力データである信号AとBを、遅延回路3および4と、排他的論理和回路（以下EXORと記す）5および6と、アンドゲート7を通して、4ビットラッチ2のゲート入力に入力する。

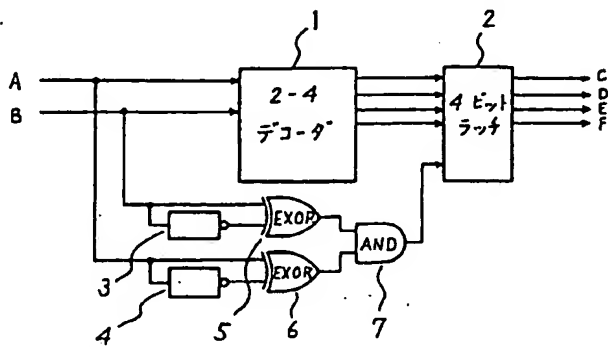
以下、このデコード回路について、第2図のタイミング図を用い動作について説明を行う。

入力変化前の状態では、EXOR5と6の出力は共に“1”であるため、ラッチ2はスルー状態であるが、信号Aが変化した時点でEXOR6の出力が“0”になり、アンドゲート7の出力も“0”となり、遅延回路4の出力が“0”になるま

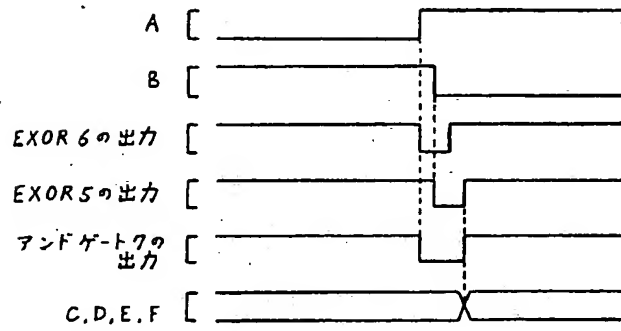
第2図は本実施例の内部及び出力タイミング図、第3図は従来の2-4デコード回路および第4図と第5図は第3図のデコード回路の出力タイミング図である。

1…2-4デコード、2…4ビットラッチ、3、4…遅延回路、5、6…排他的論理和回路（EXOR）、7…アンドゲート。

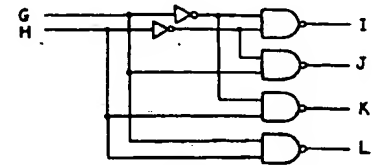
代理人 弁理士 内 原 晋



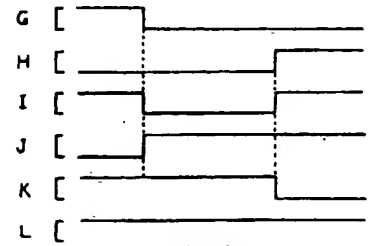
第1図



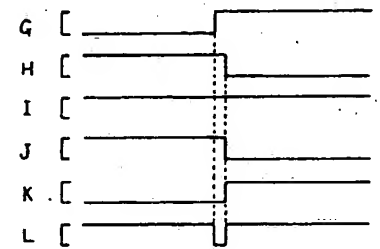
第2図



第3図



第4図



第5図